

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-075127  
 (43)Date of publication of application : 23.03.2001

(51)Int.Cl.

G02F 1/1368  
 G02F 1/133  
 H01L 29/786  
 H01L 21/336

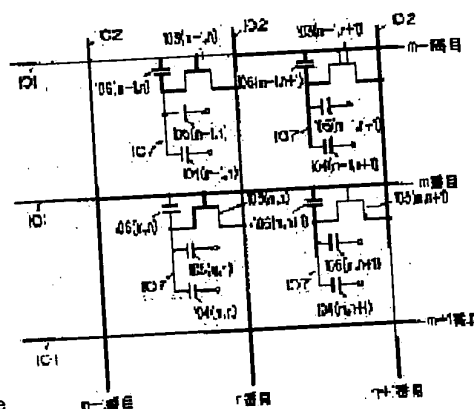
(21)Application number : 11-249991  
 (22)Date of filing : 03.09.1999

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (72)Inventor : MANSEI ATSUSHI  
 TAKUBO YONEJI  
 NAKAGAWA TAKESHI

## (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the uniformity of a display screen and to obtain a high picture quality liquid crystal panel by having a parasitic capacitance region section where a pixel output wiring section and a scanning line input section overlap and making the parasitic capacitance have intrasurface distribution.  
 SOLUTION: Scanning lines 101 and signal lines 102 are approximately orthogonally cross each other and a TFT element 103 has a parasitic capacitance 106 region section where pixel output wiring section and scanning line input section overlap each other. And, flicker suppressing means are provided in the distribution condition of the capacitors 106 along the scanning line direction to suppress flicker phenomenon of display screen caused by the fact that field through voltages of active matrix type liquid crystal display elements are different at the input and its opposite sides of scanning line signals of the lines 101. Since the values of the capacitors 106 are not uniform, the variation, in the intrasurface distribution of the field through voltages becomes small, flicker is suppressed and liquid crystal display elements having higher picture quality are obtained. The flicker suppressing means are provided by the specifications of an exposure mask during the production process of the liquid crystal display elements.



## LEGAL STATUS

[Date of request for examination] 27.12.2000  
 [Date of sending the examiner's decision of rejection] 15.10.2002  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-75127  
(P2001-75127A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 0 2 F 1/1368		G 0 2 F 1/136	5 0 0 2 H 0 9 2
1/133	5 5 0	1/133	5 5 0 2 H 0 9 3
	5 7 5		5 7 5 5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 Z
21/336			

審査請求 有 請求項の数 9 O L (全 7 頁)

(21) 出願番号 特願平11-249991  
(22) 出願日 平成11年9月3日 (1999.9.3)

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72) 発明者 満生 敦士  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 田窪 米治  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74) 代理人 100097445  
弁理士 岩橋 文雄 (外2名)

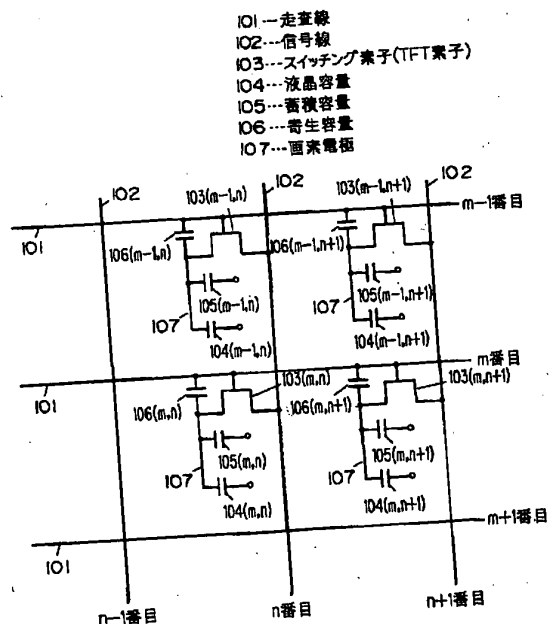
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示素子及びその製造方法

(57) 【要約】

【課題】 液晶表示素子のフリッカー発生の低減で、表示画面の均一性を改善し、高画質な液晶パネルを提供する。

【解決手段】 画素出力配線部と走査線入力部との間には寄生容量106を生じさせるように画素出力配線部と走査線入力部の重なる寄生容量領域部を有して、走査線方向の寄生容量106の分布状態に、アクティブマトリクス型液晶表示素子のフィールドスルー電圧が走査線101の走査線信号の入力端側と、その反対端側とで異なることに起因する表示画面のフリッカ現象を抑制する。



## 【特許請求の範囲】

【請求項1】 複数の走査線と、複数の信号線と、複数の画素電極と、走査線入力部と信号線入力部と画素出力配線部とを備えた複数のスイッチング素子とを主平面上に有し、前記走査線と前記信号線とは略直交させてマトリックス状に備えられ、前記走査線と前記信号線との交点の近傍には前記画素電極と前記スイッチング素子とが備えられ、前記画素出力配線部と前記走査線入力部との間には寄生容量を生じさせるように前記画素出力配線部と前記走査線入力部の重なる寄生容量領域部を有して、スイッチング素子の前記走査線入力部には前記走査線が接続され、スイッチング素子の前記信号線入力部には前記信号線が接続され、スイッチング素子の前記画素出力配線部には前記画素電極が接続されたアクティブマトリックス型液晶表示素子あって、走査線方向の前記寄生容量の静電容量値の分布状態に、アクティブマトリックス型液晶表示素子のフィールドスルー電圧が走査線の走査線信号の入力端側とその反対端側とで異なることに起因する表示画面のフリッカ現象を抑制する、フリッカ抑制手段を有することを特徴とするアクティブマトリックス型液晶表示素子。

【請求項2】 請求項1記載のアクティブマトリックス液晶表示素子であって、フリッカ抑制手段は、走査線の一端から他端に並ぶ寄生容量の静電容量値の変化に規則性を有したことを特徴とするアクティブマトリックス型液晶表示素子。

【請求項3】 請求項1記載のアクティブマトリックス液晶表示素子であって、フリッカ抑制手段は、走査線の一端から他端に並ぶ寄生容量の静電容量値の大小関係を、走査線の走査線信号の入力端側が小さく、走査線の走査線信号の入力端側の反対端側が大きいくことを特徴とするアクティブマトリックス型液晶表示素子。

【請求項4】 請求項3記載のアクティブマトリックス液晶表示素子であって、フリッカ抑制手段は、隣合う寄生容量の静電容量値が、走査線の一端から他端までの途中で部分的に略同じ値であることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項5】 請求項1記載のアクティブマトリックス液晶表示素子であって、フリッカ抑制手段は、走査線の一端から他端に並ぶ寄生容量領域部の面積の大小関係を、走査線の走査線信号の入力側が小さく、走査線の走査線信号の入力側の反対側が大きいくことを特徴とするアクティブマトリックス型液晶表示素子。

【請求項6】 請求項5記載のアクティブマトリックス液晶表示素子であって、フリッカ抑制手段は、隣合う寄生容量領域部の面積が、走査線の一端から他端までの途中で部分的に略同じ面積であることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項7】 請求項1から請求項6の何れかに記載アクティブマトリックス液晶表示素子を製造する際に、露

光条件を変化させてフリッカ抑制手段が備えられるようにしたことを特徴とするアクティブマトリックス型液晶表示素子の製造方法。

【請求項8】 請求項1から請求項6の何れかに記載のアクティブマトリックス液晶表示素子を製造する際に、露光用マスクの仕様でフリッカ抑制手段が備えられるようにしたことを特徴とするアクティブマトリックス型液晶表示素子の製造方法。

【請求項9】 請求項1から請求項6の何れかに記載のアクティブマトリックス液晶表示素子を用いたことを特徴とする画像表示機器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、OA機器やAV機器などに利用されているアクティブマトリックス型液晶表示素子及びその製造方法及びそれを用いた画像表示機器の、特に、大画面で高画質・高精細の液晶表示素子の構成に関するものである。

【0002】

【従来の技術】現在、液晶を用いた表示素子は、ビデオカメラのビューファインダーやカーTVさらには高精細投写型TV、パソコン、ワープロ、液晶モニターなどの情報表示端末など種々の分野で応用されており、開発、商品化が活発に行われている。特にスイッチング素子として薄膜トランジスタ（以下TFT素子）を用いたアクティブマトリックス型方式のTN（Twisted Nematic）液晶表示装置は大容量の表示を行っても高いコントラストが保たれるという大きな特徴を持ち、特に近年市場要望の極めて高い、ラップトップパソコンやノートパソコン、さらには、エンジニアリングワークステーション用の大型・大容量フルカラーディスプレイの本命として開発、商品化が盛んである。

【0003】アクティブマトリックス型とは従来の単純マトリックス型に対比して言われている液晶の駆動方式を意味しているもので、マトリックス上に配置された画素電極にそれぞれスイッチ素子を設け、それらのスイッチ素子を介して各画素電極に液晶の光学特性を制御する電気信号を独立に供給する方式である。このため、本駆動方式は、原理的には単純マトリックス方式のようなクロストークがなく、大画面化、高精細化、多階調表示に極めて適した方式である。

【0004】しかしながら、上記したアクティブマトリックス型液晶表示装置においても、大画面化、高精細化になるにしたがって画像品質上の問題が発生する。特に、大画面化に伴う走査線の抵抗成分とスイッチング素子であるTFTのゲート・ドレイン間の容量成分、すなわち、走査線入力部と画素出力配線部の重なり部分を主たる成分とする寄生容量（以下、Cgdという）に起因する走査線信号の遅延によって、フリッカの面内分布といった表示画面の均一性が劣化してくるといった現象が深

刻な問題になってくる。以下、これらの現象について説明する。

【0005】図5はアクティブマトリックス型液晶表示素子の一般的な等価回路を示したものである。走査線101と信号線102の交点にスイッチング素子であるTFT素子103が設けてある。蓄積容量105は液晶容量104に印可される画素電圧の保持特性を向上させるために形成される。TFT素子103には寄生容量106(Cgd)がある。

【0006】図6は一般的なTFT素子の断面構造図を示したものである。ソース電極202があり、ゲート電極201とドレイン電極203のゲート・ドレイン電極の重なり204がある。上記したTFT素子の寄生容量Cgdは、図の波線の領域で示された204の部分である。

【0007】図7は、図1に示したアクティブマトリックス型液晶表示素子の動作を示す波形図である。走査電極配線からTFT素子のゲートに供給されるゲート電圧301と信号電圧302と画素電圧303のこれらの相対的な時間関係と波形の変化を示している。

【0008】図7に示すように、選択された走査線の走査線信号によってTFTのゲート電圧301がON状態になると、信号電圧302がTFT素子を介して画素電極に供給される。一方、ゲート電圧がON状態からOFF状態に変化するときに、上記した寄生容量Cgdによって画素電圧303が変化する。この電圧の変化( $\Delta V_p$ )はフィールドスルー電圧(以下、突き抜け電圧と記載)と言われている。ゲート電圧301の振幅をVg、液晶容量104をC1c、蓄積容量105をCstとすると、突き抜け電圧 $\Delta V_p$ は、理想的には以下の(式1)で表現される。

$$\Delta V_p = (C_{gd} / C_t) \cdots \cdots \text{(式1)}$$

但し、 $C_t = C_{1c} + C_{st} + C_{gd}$

画素で発生するこの電圧の変化である、突き抜け電圧 $\Delta V_p$ を補償するために、対抗電極の電圧が適正值に調整されて駆動されるのが一般的である。

【0010】しかしながら、液晶パネルのサイズ及び画素数が増加するに従い、走査線の電氣的負荷が大きくなり信号遅延が生じるようになる。

【0011】図8にゲート電圧に遅延がある場合の画素電圧の変化を示した。この場合も上記したように、ゲート電圧のON時間に信号電圧が画素電極に供給される。ゲート電圧がON状態からOFF状態に変化する時も前記と同じ現象が生じるが、信号遅延がある場合、ゲート電圧の変化によって画素電圧がCgdの影響によって変化するとともに、TFT素子が一気にOFF状態にならないことによる画素電極への信号電圧の充電が同時に発生する。これによって、図8に示すごとく、突き抜け電圧 $\Delta V_p$ が、遅延のない場合に比べて小さくなる。つま

り、表示画面の面内での液晶印可電圧差や、対向電圧と液晶駆動最適のズレによる液晶へのDC電圧の印可、それによる画面内でのフリッカ現象の分布の発生といった問題が発生し、液晶表示素子の画質劣化を引き起こす。

【0012】現在、大型化、高精細化に伴う上記した現象を改善することを目的として、各種の方法が開発・提案されてきている。基本的には式(1)の突き抜け電圧 $\Delta V_p$ をいかにして小さくするかがポイントとなる。蓄積容量Cstを大きくする方法は、それに伴ってTFT素子の充電能力を上げるために素子サイズを大きくする必要があり、結果として寄生容量Cgdが増加するので効果的ではない。したがって、TFTの寄生容量Cgdを低減するための手段に対する取り組みが主である。

【0013】具体的には、TFT素子のゲート電極と画素電極との重なり領域を低減するためのプロセスの開発・提案が多数発表されている。これによる寄生容量の低減は非常に効果的な手段である。しかしながら、重なり領域がなくてもTFT素子のチャンネル部の容量は存在する。したがって、さらに高精細化が進み、TFT素子の選択時間がさらに短くなってくると、TFT素子の充電能力を高めるためにサイズを大きくしていく必要があり、結果としてTFTの寄生容量は増加することになる。

【0014】本発明は、前述したごとく液晶表示素子のさらなる大型化、高精細化に向けて、パネルの設計上大きな問題となってくる輝度分布、フリッカー分布などの表示画面の均一性を改善する、アクティブマトリックス型液晶表示素子及びその製造方法を提供することを目的とするものである。

【0015】

【課題を解決するための手段】本発明は、上記課題を解決するために、画素出力配線部と走査線入力部との間には寄生容量を生じさせるように画素出力配線部と走査線入力部の重なる寄生容量領域部を有して、走査線方向の寄生容量の分布状態に、アクティブマトリックス型液晶表示素子のフィールドスルー電圧が走査線の走査線信号の入力端側と、その反対端側とで異なることに起因する表示画面のフリッカ現象を抑制する、フリッカ抑制手段を有するようにしたものである。

【0016】

【発明の実施の形態】本発明のアクティブマトリックス型液晶表示素子は、複数の走査線と、複数の信号線と、複数の画素電極と、走査線入力部と信号線入力部と画素出力配線部とを備えた複数のスイッチング素子とを主平面上に有し、走査線と信号線とは略直交させてマトリクス状に備えられ、走査線と信号線との交点の近傍には画素電極とスイッチング素子とが備えられ、画素出力配線部と走査線入力部との間には寄生容量を生じさせるように画素出力配線部と走査線入力部の重なる寄生容量領域部を有して、スイッチング素子の走査線入力部には走

査線が接続され、スイッチング素子の信号線入力部には信号線が接続され、スイッチング素子の画素出力配線部には画素電極が接続され、走査線方向の寄生容量の静電容量値の分布状態に、アクティブマトリックス型液晶表示素子のフィールドスルー電圧が走査線の走査線信号の入力端側とその反対端側と異なることに起因する表示画面のフリッカ現象を抑制する、フリッカ抑制手段を有したものである。

【0017】また、本発明のアクティブマトリックス型液晶表示素子は、フリッカ抑制手段が、走査線の一端から他端に並ぶ寄生容量の静電容量値の変化に規則性を有したものである。

【0018】また、本発明のアクティブマトリックス型液晶表示素子は、フリッカ抑制手段が、走査線の一端から他端に並ぶ寄生容量の静電容量値の大小関係を、走査線の走査線信号の入力端側が小さく、走査線の走査線信号の入力端側の反対端側を大きくしたものである。

【0019】また、本発明のアクティブマトリックス型液晶表示素子は、フリッカ抑制手段が、フリッカ抑制手段は、隣合う寄生容量の静電容量値が、走査線の一端から他端までの途中で部分的に略同じ値としたものである。

【0020】また、本発明のアクティブマトリックス型液晶表示素子は、フリッカ抑制手段が、走査線の一端から他端に並ぶ寄生容量領域部の面積の大小関係を、走査線の走査線信号の入力側が小さく、走査線の走査線信号の入力側の反対側が大きくしたものである。

【0021】また、本発明のアクティブマトリックス型液晶表示素子は、フリッカ抑制手段が、フリッカ抑制手段は、隣合う寄生容量領域部の面積が、走査線の一端から他端までの途中で部分的に略同じ面積としたものである。

【0022】以上によれば、寄生容量の値が一樣でなくなるので、フィールドスルー電圧の面内分布の変化が小さくなり、フリッカが抑制されるのでその面内分布を改善し、より高画質なアクティブマトリックス型液晶表示素子を実現することができる。

【0023】また、本発明のアクティブマトリックス型液晶表示素子の製造方法は、アクティブマトリックス液晶表示素子を製造する際に、露光条件を変化させてフリッカ抑制手段が備えられるようにしたものである。

【0024】また、本発明のアクティブマトリックス型液晶表示素子の製造方法は、アクティブマトリックス液晶表示素子を製造する際に、露光用マスクの仕様でフリッカ抑制手段が備えられるようにしたものである。

【0025】以上によれば、簡便な方法でフリッカ抑制手段が備えられるアクティブマトリックス型液晶表示素子の製造方法を提供できる。生産コストの面でも負担が生じることもなく、より高画質なアクティブマトリックス型液晶表示素子を得ることができる。

【0026】また、本発明の画像表示機器は、フリッカ抑制手段が備えられたアクティブマトリックス液晶表示素子を用いたものである。

【0027】以上によれば、フリッカ抑制手段を有したアクティブマトリックス型液晶表示素子を用いた画像表示機器が得ることができる。画像表示機器の表示画を大きくしてもフリッカがより抑制され、高画質な画像表示機器が得ることができる。

【0028】以下、本発明の各実施形態について、図面を参照しながら説明する。

【0029】（実施の形態1）図1は本発明の実施の形態1のアクティブマトリックス型液晶表示素子の等価回路図を示したものである。走査線101と信号線102とが略直交させて設けてあり、TFT素子103はアモルファスシリコンを半導体層とする薄膜トランジスタである。走査線101の走査方向は図1の左から右の方向である。また、蓄積容量104、液晶容量105がある。TFT素子103には寄生容量106がある。そして画素電極107がある。画素出力配線部はTFT素子103のドレイン電極から画素電極107及び寄生容量106と接続される部分である。

【0030】また、図2は図1に示した等価回路図のTFT素子103を平面図で表したものであり、図2（a）は図1の定形としてマトリックス状に配列されたTFT素子群の任意のTFT素子103の（ $m-1$ ， $n$ ）番目及び、（ $m$ ， $n$ ）番目を示し、図2（b）はTFT素子103の（ $m-1$ ， $n+1$ ）番目及び、（ $m$ ， $n+1$ ）番目を示す。

【0031】（ $m-1$ ， $n$ ）番目のTFT素子103は、 $m-1$ 番目の走査線101と $n$ 番目の信号線102とに電氣的に接続され、配置されている。

【0032】（ $m$ ， $n$ ）番目のTFT素子103は、 $m$ 番目の走査線101と $n$ 番目の信号線102とに電氣的に接続され、配置されている。

【0033】（ $m-1$ ， $n+1$ ）番目のTFT素子103は、 $m-1$ 番目の走査線101と $n+1$ 番目の信号線102とに電氣的に接続され、配置されている。

【0034】（ $m$ ， $n+1$ ）番目のTFT素子103は、 $m$ 番目の走査線101と $n+1$ 番目の信号線102とに電氣的に接続され、配置されている。

【0035】図2の示すように、ゲート電極201は走査線の一部を共有している。また、信号線の一部をソース電極202は信号線の一部を共有している。また、ドレイン電極203は画素出力配線部206の一部を共有している。ゲート電極201とドレイン電極203との重なり部分204を斜線部分で示す。このゲート電極201とドレイン電極203との重なり部分204がTFT素子の寄生容量の領域である。

【0036】本例では、TFT素子103のドレイン電極203を構成する薄膜パターンを形成する工程におい

て、露光時の露光ステージスキャン速度または露光量を変化させ、縮小補正値を制御することにより、図2で示すように走査線101の走査方向のn番目のTFT素子の寄生容量領域をn+1番目のTFT素子の寄生容量領域より、小さくなるパターンをもつアクティブマトリックス型液晶表示素子を形成した。この構成のパターンを13.3型XGAの液晶パネルに適用し、走査線101の電圧供給端、中心部、及び終端の対向電圧最適値（フリッカー特性の最適値）を測定した。

【0037】図3は本発明と従来例の対向電圧最適値の測定結果を示す。図3の曲線31は従来の構成の液晶パネルの測定値を示す。従来のパネルでは電圧供給端と終電端とで約0.3V程度の差が生じ、液晶パネル全面を対向電圧最適値に調整してもフリッカー現象が確認できる。そして曲線32は実施形態1の構成による液晶パネルの測定値を示し、電圧供給端と終電端との差が0.1V以下に抑えられ、対向電圧最適値に調整するとフリッカー現象は確認されず、大幅に表示画面特性の均一性が改善される。

【0038】図6は図2のTFT素子103の平面図で示した部分の断面図である。ゲート電極201は走査線の一部を共有している。また、信号線の一部をソース電極202は信号線の一部を共有している。また、ドレイン電極203は画素出力配線部の一部を共有している。ゲート電極201とドレイン電極203との重なり部分204を点線と矢印で示す。

【0039】（実施の形態2）実施の形態2のアクティブマトリックス型液晶表示素子の等価回路は実施形態1で示した等価回路と同等で図1となる。本例では、TFT素子103のドレイン電極203を構成する薄膜パターンを形成する工程において、露光時に図4で示すように走査線の走査方向のn番目のTFT素子の寄生容量領域をn+1番目のTFT素子の寄生容量領域より、小さくなるパターンをもつフォトマスクを使用することによりアクティブマトリックス型液晶表示素子を形成した。この構成のパターンを13.3型XGAの液晶パネルに適用し、走査線の電圧供給端、中心部、及び終端の対向電圧最適値（フリッカー特性の最適値）を測定した。

【0040】図3の曲線33は実施の形態2の液晶パネルの測定値を示す。実施の形態2の液晶パネルの対向電圧最適値の電圧供給端と終電端との差は0.1V以下であり、フリッカー現象は確認されず、大幅に表示画面特性の均一性が改善される。

【0041】

【発明の効果】以上述べたように、本発明の構成のアク

ティブマトリックス型液晶表示素子を有する液晶パネルによれば、液晶パネルの大型化、高精細化に伴ってパネル設計上極めて大きな問題となる配線遅延及びTFT素子の寄生容量の影響によるフリッカー現象などの画像品質問題に対し、寄生容量に面内分布を持たせることにより、表示画面の均一性を改善し、高画質な液晶パネルを実現することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1及び実施形態2におけるアクティブマトリックス型表示素子の等価回路図

【図2】（a）実施の形態1のTFT素子103の（m-1, n）番目と（m, n）番目の平面図（b）実施の形態1のTFT素子103の（m-1, n+1）番目と（m, n+1）番目の平面図

【図3】本発明および従来のアクティブマトリックス型表示素子の対向電圧最適値の測定結果を示す図

【図4】（a）実施の形態2のTFT素子103の（m-1, n）番目と（m, n）番目の平面図（b）実施の形態2のTFT素子103の（m-1, n+1）番目と（m, n+1）番目の平面図

【図5】アクティブマトリックス型液晶表示素子の等価回路図

【図6】TFT素子の断面図

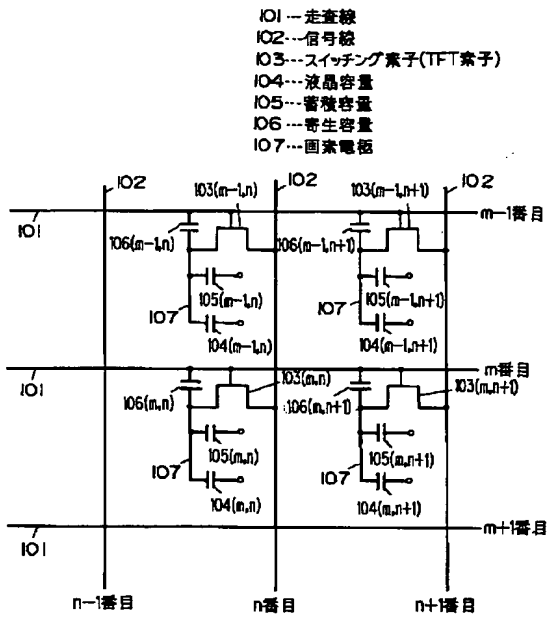
【図7】本発明のアクティブマトリックス型表示素子の動作を示す波形図

【図8】ゲート電圧に信号遅延のある場合の画素電圧の変化を示す波形図

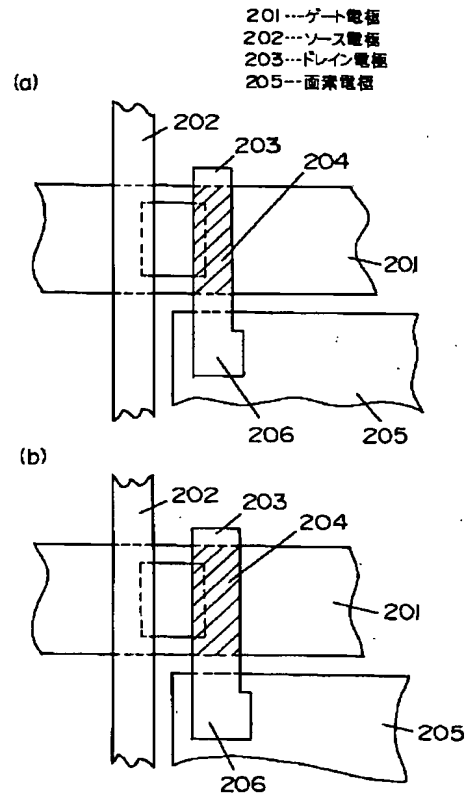
【符号の説明】

- 101 走査線
- 102 信号線
- 103 TFT素子
- 104 液晶容量
- 105 蓄積容量
- 106 寄生容量
- 107 画素電極
- 201 ゲート電極
- 202 ソース電極
- 203 ドレイン電極
- 204 ゲート電極とドレイン電極との重なり部分
- 205 画素電極
- 206 画素出力配線部
- 301 ゲート電圧波形
- 302 信号電圧波形
- 303 画素電圧波形

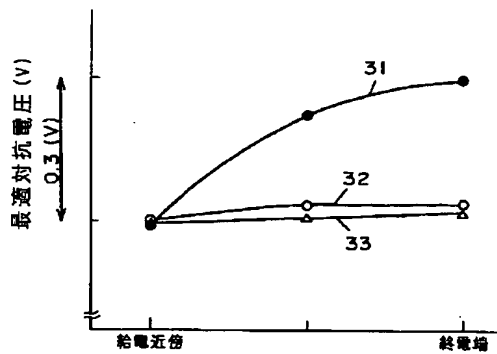
【図1】



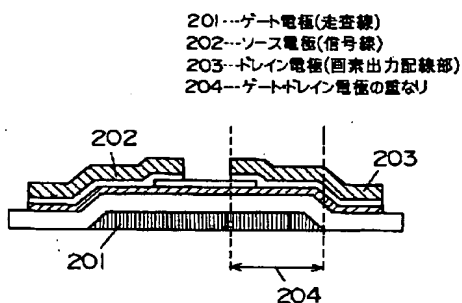
【図2】



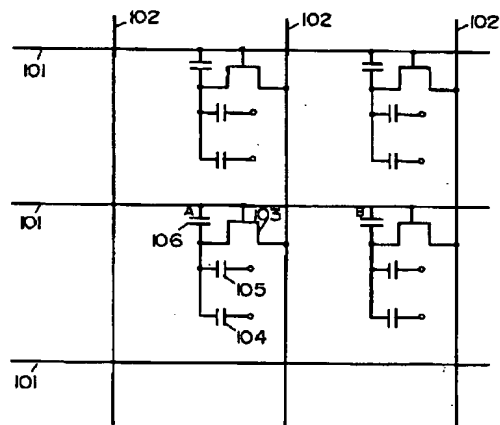
【図3】



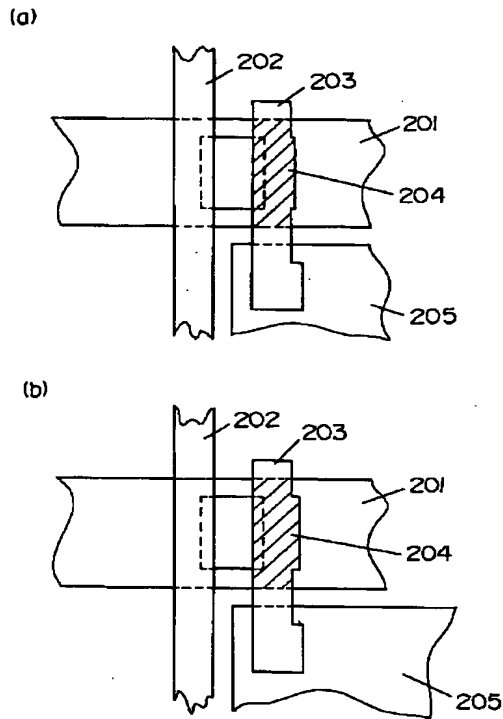
【図6】



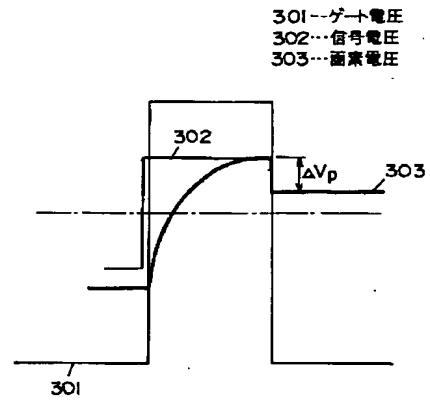
【図5】



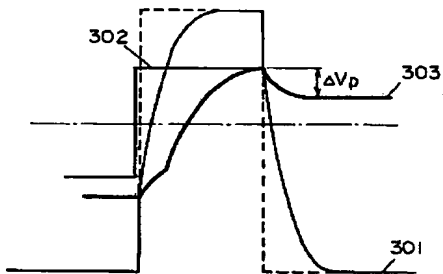
【図4】



【図7】



【図8】



フロントページの続き

(72)発明者 中川 毅  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 2H092 JA26 JA42 JB22 JB31 JB61  
KA05 NA23 NA24 PA06  
2H093 NA16 NA51 NA61 NB23 NC34  
ND10 ND17  
5F110 AA02 AA21 BB01 CC07 GG02  
GG15 HM04